

4

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-081083

(43)Date of publication of application : 28.03.1997

(51)Int.CI. G09G 3/36  
G02F 1/133

(21)Application number : 07-235626

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.09.1995

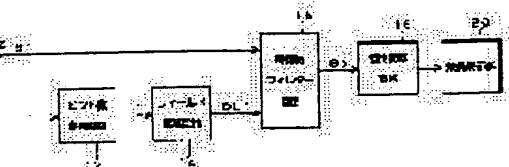
(72)Inventor : FUJIWARA HISAO

## (54) DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a liquid crystal display device in which a memory capacity required for attaining the high speed of a response speed is reduced.

**SOLUTION:** This liquid crystal display device is provided with a field delaying circuit 14 holding or delaying a display signal. The display signal delayed by the field delaying circuit 14 is used in a time base filter circuit 16 and a polarity inversion circuit 18 to be subjected to a signal processing. The signal processed in these circuits 16, 18 is supplied to a liquid crystal display part 20 to be displayed as a picture here. A bit number reducing circuit 12 is provided at the input side of the delaying circuit 14 to make the number of gradations of the display signal to be inputted to the delay circuit 14 to be the number of gradations smaller than that to be displayed on the liquid crystal display part 20.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-81083

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl.<sup>\*</sup> 認別記号 庁内整理番号 F I  
G 0 9 G 3/36 G 0 9 G 3/36  
G 0 2 F 1/133 5 7 5 G 0 2 F 1/133 5 7 5

技術表示箇所

審査請求 未請求 請求項の数 3 ○ L (全 11 頁)

(21) 出願番号 特願平7-235626

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22) 出願日 平成7年(1995)9月13日

(72) 発明者 藤原 久男

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

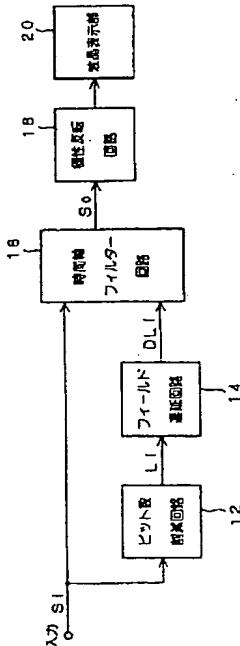
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 応答速度の高速化のために必要とするメモリー容量を削減した液晶表示装置を提供する。

【解決手段】 液晶表示装置は、表示信号を保持または遅延させるフィールド遅延回路14を具備する。遅延回路14により遅延された表示信号は、時間軸フィルター回路16及び極性反転回路18において使用され、信号処理が行われる。これらの回路16、18で処理された信号は液晶表示部20に供給され、ここで画像が表示される。遅延回路14に入力側には、ビット数削減回路12が配設され、遅延回路14へ入力される表示信号の階調数が、液晶表示部20に表示する階調数よりも少ない階調数とされる。



1

2

## 【特許請求の範囲】

【請求項1】表示信号を保持または遅延させる保持／遅延手段と、前記保持／遅延手段により遅延させた表示信号を用いて信号処理を行う信号処理手段と、前記信号処理手段から供給される信号に従って画像を表示する表示部と、を有する表示装置において、

前記保持／遅延手段へ入力する表示信号の階調数を、前記表示部に表示する階調数よりも少ない階調数とする削減手段を具備することを特徴とする表示装置。

【請求項2】前記削減手段が、前記信号処理手段による信号処理効果が前記表示部に表示される画像に与える影響が少ない階調を削減することを特徴とする請求項1に記載の表示装置。

【請求項3】前記削減手段が、前記表示部の液晶に印加する電圧が大きい階調の時には任意のある階調にまとめて少ないビット数で表現し、前記表示部の液晶に印加する電圧が小さい階調の時には本来の階調数またはまとめる階調幅を小さくしたビット数で表現して階調を削減することを特徴とする請求項1または2に記載の表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は表示装置に関し、特に改良された画像信号処理機構を有する表示装置に関する。

## 【0002】

【従来の技術】近年、液晶表示装置は大型化、高精細化が進み、パーソナルコンピューター等のディジタル機器のディスプレイとして、その応用が拡大している。また、パーソナルコンピューター等の高機能化により、液晶表示装置に表示される画像は、静止画から動画まで幅広いものとなっている。このため、液晶表示装置にはより高画質な表示性能が求められている。しかしながら従来の液晶表示装置においては、液晶材料の応答速度の遅さに起因し、動画表示に対しては十分な表示性能が得られていない。

【0003】現状では、「白」表示と「黒」表示のみの2値表示の場合でも応答速度は20～30[mS]であり、表示画像のフィールド周期(約17[mS])よりも遅い。更に、TV画像などのように中間調表示を行う場合は、2値表示の場合よりも2～3倍も応答速度は遅くなり、100[mS]を越えるような場合も生じる。従って、このような遅い応答特性を持つ液晶表示装置で動画像を表示した場合、残像現象を起こして著しく画質を劣化させてしまう。

\*

$$Tr = \eta d^2 / (\Delta \varepsilon V - K \pi^2)$$

$$Td = \eta d^2 / K \pi^2$$

ここで、Kは液晶の発散、捩じれ、曲げの、弾性係数をそれぞれK1、K2、K3としたときに、 $K = K1 + (K3 - 2 \times K2) / 4$ で表される定数である。 $\Delta \varepsilon$

\* 【0004】この様な液晶材料の応答速度の遅さに起因する画質劣化を解決する手段として、表示信号に時間軸フィルターをかけて応答速度を改善する低残像駆動法がある(特開平4-288589、平成4年10月13日公開)。この方法によれば中間調での応答速度は改善され残像現象を除去することができる。

【0005】しかし、1フィールド前の表示信号と現在の表示信号とを比較して信号処理を行なうこの方法では、1フィールド分の表示信号をメモリーに保持しておく必要が生じる。一般的なパーソナルコンピューターのディスプレイの場合、水平方向640画素、垂直方向480画素の解像度を持つため、1フィールド分のカラー(赤R、緑G、青Bの3色)の表示信号をメモリーに保持しておくためには少なくとも、

$$640 \times 480 \times 3 = 921600 \text{ [ワード]}$$

のアドレス空間を持つメモリー素子が必要となる。

【0006】即ち、表示信号が6ビット/ワードで構成されている場合には、約5.5メガビットの記憶容量を持つメモリーが必要となり、表示信号が8ビット/ワードで構成されている場合には約7.4メガビットの記憶容量を持つメモリーが必要となる。従って、1フィールド分の表示信号をメモリーに保持しておくためには、大容量のメモリーが必要となり、実装面積の増大による液晶表示装置の大型化、消費電力の増大、更に、液晶表示装置の高価格化という問題を引起す。

【0007】ここで、メモリーの容量を削減する1つの方法として、1ワード当りのビット数を削減する方法が考えられる。しかしながら、多階調表示が可能な液晶表示装置で一般的に用いられている信号線駆動用ICはD/Aコンバーターを内蔵し、そのD/Aコンバーターの出力電圧を外部から液晶パネルの電圧-透過率特性に合わせて補正(液晶アブレート)する機能を持っており、入力信号に対して信号線駆動用ICの出力は線形になっていない。従って、この様な液晶表示装置に用いられている信号線駆動用ICの特性を考慮せずに、ただ単純に1ワード当りのビット数を削減するのでは、表示信号のダイナミックレンジを狭めたり階調表示の直線性を低下させ、液晶表示装置の表示品質の低下を招く。

【0008】また、液晶の応答速度は、液晶が印加された電界によって立ち上がる速度Trと、電界を零にしたときの各分子間の力によって元の状態に復帰する速度Tdとにより一般に決まる。Tr、Tdは以下の式で表される。

## 【0009】

… (1)

… (2)

は、液晶分子の長軸方向の誘電率 $\varepsilon_s$ と短軸方向の $\varepsilon_p$ 、dの差 $\varepsilon_s - \varepsilon_p$ である。 $\eta$ は液晶分子の捩じれ粘性、dは液晶セルの厚み(セルギャップ)、Vは印加電圧で

ある。

【0010】上記式(1)、(2)から明らかなように、液晶の立ち上がる速度 $T_r$ はセルへの印加電圧に依存しており、その速度は印加電圧が大きくなるほど速くなることがわかる。逆に立ち下がり速度 $T_d$ はセル構造や物性に依存している部分が多く、セルに印加している電圧を小さくする(開放する)方向では速度を速くしにくいことがわかる。従って、ただ単純に1ワード当たりのビット数を削減するのでは、表示画像の全階調に亘っての応答速度の高速化は期待できない。特に、セルに印加している電圧を小さくする(開放する)方向では高速化のための補正が十分に行われず、動画像の表示が劣化してしまう。

#### 【0011】

【発明が解決しようとする課題】本発明は上述の様な問題点に鑑みてなされたものであり、応答速度の高速化のために必要とするメモリー容量を削減して実装面積を減少させ、装置の大型化や消費電力の増大を抑制すると共に、装置の高価格化を抑えた表示装置を提供することを目的とする。

【0012】本発明はまた、表示信号のダイナミックレンジを狭めたり階調表示の直線性を低下させることなく、表示画像の全階調に亘っての応答速度の高速化を可能とした表示装置を提供することを目的とする。

#### 【0013】

【課題を解決するための手段】本発明の第1の視点は、表示信号を保持または遅延させる保持／遅延手段と、前記保持／遅延手段により遅延させた表示信号を用いて信号処理を行う信号処理手段と、前記信号処理手段から供給される信号に従って画像を表示する表示部と、を有する表示装置において、前記保持／遅延手段へ入力する表示信号の階調数を、前記表示部に表示する階調数よりも少ない階調数とする削減手段を具備することを特徴とする。

【0014】本発明の第2の視点は、第1の視点に係る表示装置において、前記削減手段が、前記信号処理手段による信号処理効果が前記表示部に表示される画像に与える影響が少ない階調を削減することを特徴とする。

【0015】本発明の第3の視点は、第1または第2の視点に係る表示装置において、前記削減手段が、前記表示部の液晶に印加する電圧が大きい階調の時には任意のある階調にまとめて少ないビット数で表現し、前記表示部の液晶に印加する電圧が小さい階調の時には本来の階調数またはまとめる階調幅を小さくしたビット数で表現して階調を削減することを特徴とする。

【0016】本発明においては、前記保持／遅延手段へ入力する表示信号の階調数を、前記表示部に表示する階調数よりも少ない階調数とすることにより、前記保持／遅延手段が必要とするメモリー容量を削減して実装面積を減少させ、装置の大型化や消費電力の増大を抑制し、

更に、装置の高価格化を抑えた表示装置を実現することが可能となる。

【0017】また、本発明においては、表示パネルの電圧－透過率特性(液晶アブ正特性)や信号線駆動用IC信号出力特性を考慮し、上述の所定の法則に基づいて、階調数を削減することにより、表示信号のダイナミックレンジを狭めたり階調表示の直線性を低下させることなく、表示信号の全階調に亘って応答速度を高速化し、高品質な画像の表示が可能な表示装置が実現可能となる。

#### 【0018】

【発明の実施の形態】図1は本発明の実施の形態に係る液晶表示装置のブロック図を示す。図1 図示の液晶表示装置では、入力信号 $S_i$ はビット数削減回路12と時間軸フィルター回路16へ入力される。ビット数削減回路12へ入力された入力信号 $S_i$ は、ビット数が削減され入力信号 $S_i$ よりもビット数(階調数)が少ない表示信号 $L_i$ に変換された後、フィールド遅延回路14へ入力され1フィールドの時間だけ遅延させられる。1フィールドの時間だけ遅延させられた表示信号 $D_L i$ は時間軸フィルター回路16へ入力される。時間軸フィルター回路16では、ある所定の時間軸方向の信号処理が行われ、次段の極性反転回路18へ時間軸フィルター回路出力信号 $S_o$ を供給する。極性反転回路18では、時間軸フィルター回路出力信号 $S_o$ を交流化し、液晶表示部20へ表示信号を供給する。ここで、時間軸フィルター回路16で液晶パネルの応答速度を改善する高速応答駆動処理を行うものとすると、入力信号 $S_i$ と1フィールドの時間だけ遅延させられた表示信号 $D_L i$ により表示画像の変化部分を検出し、所定の応答速度に達するように表示信号に応答速度改善用の強調信号が付加される。

【0019】図2は、図1 図示の液晶表示装置で高速応答駆動処理を行う場合の信号波形を、従来の信号波形と比較して示す。図2は、 $m$ フィールド及び $m+1$ フィールドの表示信号により、暗い背景を明るい円形の画像が左から右へ移動した場合の例である。通常の駆動では、画像が変化した場合でも、変化しない場合でも、入力された表示信号は、そのままの信号 $S_i$ が極性反転されて液晶表示部へ印加される。しかし、時間軸フィルター回路で高速応答駆動処理を行う場合には、表示信号は高速応答駆動用強調信号が付加された信号 $S_o$ が液晶表示部に印加される。

【0020】ここで、図2を参照して1画面中の*i*番目の走査線の信号について詳細な説明を行う。先ず、明るい円形の画像が $m$ フィールドまでは画面の左側にあり、その円形の画像が $m+1$ フィールドでは画面の右側に移動した場合、 $m+1$ フィールドでは液晶表示装置の入力端子に $m+1$ フィールドの表示信号 $S_i$ が入力される同時に、 $S_i$ は時間軸フィルター回路16へも入力される。時間軸フィルター回路16の、もう一方の入力端子にはフィールド遅延回路14で1フィールド遅延させら

れたmフィールドの表示信号D L iが入力される。従って、時間軸フィルター回路16には、円形の画像が移動する前の表示信号D L iと、円形の画像が移動した後の表示信号S iが同時に入力されることにより、1フィールドで円形の画像が移動した部分の検出が可能となり、その画像の移動した部分、つまり表示信号の変化があった部分について応答速度を改善するようなフィルタリング処理を行う。

【0021】つまり、1フィールド前の表示信号D L iと現在の表示信号S iとを比較して、円形の画像が無くなり明るい表示画像から暗い表示画像に変化した場合は、表示信号を“より暗く”するように暗部高速応答駆動用強調信号O d（図2中下側の斜線部）を付加してm+1フィールドでの表示信号S oを作成する。一方、1フィールド前の表示信号D L iと現在の表示信号S iとを比較して、円形の画像が移動してきて暗い表示画像から明るい表示画像に変化した場合は、表示信号を“より明るく”するように明部高速応答駆動用強調信号O b

（図2中上側の斜線部）を付加してm+1フィールドでの表示信号S oを作成する。このようにして、時間軸フィルター回路では、1フィールド間の表示画像の変化から表示画像がどのように変化したかを検出して、その変化の仕方により“より明るく”または“より暗く”するようなフィルタリング処理を行い、その処理後の表示信号S oを現フィールドでの表示信号として液晶表示部20に表示信号を印加する。

【0022】ここで、表示画像を1フィールド遅延させるフィールド遅延回路14について考えてみる。この液晶表示装置が水平方向640画素（×3（R、G、Bの3色））、垂直方向480画素の解像度を持ち、6ビット（64階調）の表示が可能であるとすると、通常の場合はフィールド遅延回路14には、

$640 \times 3 \times 480 \times 6 = 5529600$  [ビット] のメモリー容量が必要になり、少なくとも約5.5メガビットの記憶容量を持つメモリーが必要となる。

【0023】図3はノーマリホワイトモードの表示モードを用いた一般的な液晶パネルの印加電圧対透過率特性（V-T特性）を示し、図4は一般的な階調レベル（階調レベルは黒=0、白=63とした時の表示信号の明るさを示すディジタル値）入力対透過率特性を示す。

【0024】図4図示のように、一般的にディスプレイの階調表示特性は人間の目の視覚特性を考慮しており、低い階調では透過率（明るさ）の変化が小さくなるように設定し、高い階調では明るさの変化が大きくなるように非線形な補正処理（ヤ補正）を行っている。図3と図4から、大部分の階調を表している透過率は50%以下の部分であり、その透過率を得るために2.5[V]以上の信号電圧が用いられていることがわかる。つまり、液晶表示装置の殆どの表示には、【従来の技術】の項で説明したように印加電圧が大きく液晶パネルの応答

速度が比較的速い部分を用いているのが分かる。

【0025】図5は立ち上がりの応答速度の例を、図6は立ち下がりの応答速度の例を夫々示す。図5の例から、立ち上がり（ノーマリホワイトモードの液晶パネルの場合、印加電圧を0[V]に、または小さい電圧にする方向）では表示する画像が明るい（同図では到達階調レベルが大きい）場合には応答速度が遅いが、低い階調レベルでは動画に（1/60[秒]）対しても十分な応答速度が得られていることが分かる。特に、到達階調レベルが20以下では十分な応答速度であることが分かる。また、図6の例から、立ち下がりでも、到達階調レベルが低い階調レベルでは十分な応答速度が得られていることが分かる。特に、到達レベルが0（真黒）の場合はいずれのレベルからでも十分に高速であることが分かる。

【0026】以上から、動画表示に対して十分な応答速度が得られないのは表示画像が明るいときであり、時間軸フィルターによる応答速度の高速化は表示画像が明るい場合にのみ行うことでも十分な表示画像が得られることが分かる。また、図5、図6のどちらの場合も、開始レベルと到達レベルとが近接している場合（概ね5～10レベル）にも応答速度は1/60秒以下に達していることがわかる。

【0027】ここで、応答速度の高速化を表示画像が明るい場合にのみ行うこととして、その時のビット割を考えて見る。通常、表示信号の全階調レベルを補正しようとした場合は6ビットの情報が必要である。表示画像が明るい場合のみの補正の場合には前述のように表示画像の低階調レベルの部分では補正を行わなくても応答速度の劣化の無い高品質な表示を行うことができる。つまり、低階調な部分はある階調レベルで代表するよう粗いビット数で代表させて、補正の必要な部分については従来通りのビット割り当てを行うことにより、粗く間引いた分だけビット数の削減が可能である。

【0028】図7は、前述の図5及び図6図示の例において、最も応答速度が遅くなる到達階調レベル（レベル40～50）での高速応答駆動用強調量（オーバードライブレベル）の代表的な特性を示す。

【0029】図7図示のように、変化前の階調レベル（図7では開始レベルとしてある）は64レベルあるが、オーバードライブするレベルは20種類のレベル足らずしかない。つまり、強調量は開始レベルが0であっても5～8であっても、一定の強調量である。従って、図7図示の開始レベルに対する強調量の特性は20レベル程度の精度で表現できることになる。図7図示の例では強調量は20種類のレベル足らずなので、4ビット（16レベル）の精度でほぼ強調量を表現できることになる。つまり、ビット削減後の必要ビット数は、

必要ビット数 = (10g(強調レベルの種類)) / 10 g 2

の式で表される。なお、ここで少数点以下は四捨五入するのがよい。

【0030】例えば、画像が変化した後の到達レベルが50であるとすると、変化前の開始レベルが0~8のレベルにおいては、強調量は+12レベルであり、強調量にとっては変化前の開始レベルが0であっても8であっても有意差はない。従って、0~8の開始レベルを任意のレベルに代表させて表現しても強調量の表現に問題は生じない。つまり、開始レベル0~8をまとめて「0」と表現しても良いことになる。同様にして他の開始レベルにおいても、あるレベルに数レベルを代表させて表現することが可能である。

【0031】但し、図7からわかる様に、開始レベルが大きい(ノーマリホワイトモードの液晶パネルの場合は明るい、即ち印加電圧が小さい)場合には、開始レベルに対して強調量の変化が大きいので、開始レベルと強調量との関係をより正確に表現するためには、これら開始レベルが大きい領域に多くの精度、つまり割り当てるビット数を多くする必要がある。

【0032】図8は、図7図示の開始レベルと強調量との関係に対応する、6ビットデータを4ビットにビット削減するための非線形量子化テーブルを示す。図8図示の非線形量子化テーブルにより、6ビットの表示データを4ビットまでビット削減し、更に、図7図示の強調量を正確に表現できる。従って、図1図示のような時間軸フィルター回路16で、高速応答駆動を行う場合は、1フィールド遅延回路14に入力する表示信号L<sub>i</sub>は、4ビットまでにビット削減しても6ビットの表示信号S<sub>i</sub>そのままを1フィールド遅延回路14に入力した場合と同等な高速応答駆動特性を得ることができる。即ち、1フィールド遅延回路14に入力される表示信号を、図8図示の非線形量子化テーブルに基づいて4ビットにビット削減して4ビットの表示信号L<sub>i</sub>とすることにより、1フィールド遅延回路14のメモリー容量を6ビットのままのデータを遅延させる場合に比べて2/3に削減可能なことがわかる。

【0033】図9は1フィールド遅延回路の表示データが4ビットの場合の高速応答駆動用の表示信号強調量のテーブルを示す。このテーブルは図8図示の非線形量子化テーブルを用いて1フィールド遅延させる表示信号を4ビットに非線形量子化した場合の強調量を示すデータテーブルである。図9において、到達レベルは現在の表示データ、開始レベルは1フィールド前の表示データを指している。図9図示のように、到達レベルも図8の非線形量子化テーブルに従って強調量が割り当てられている。例えば、開始レベルが0で到達レベルが40の場合には、図9の強調量テーブルより「6」の強調量が得られ、高速応答駆動用の表示信号は46となる。また、図9から分かる様に、階調が低い、つまりノーマリホワイトモードの液晶パネルの場合で印加電圧が大きい場合に

は、テーブルのビット割当が少なくなっている。図9図示の例では、全体の強調量テーブルは、

$16 \times 16 = 256$  の256種類の強調量データを表している。しかし、その中で64階調の中の「黒」側の半分の階調(0~31)の階調レベルに割り当てられている種類は、僅か16種類にしかすぎない。つまり、強調量を表す全データの15/16が「白」側の表示信号に対して割り当てられている。

【0034】以上のような非線形量子化を行った場合には量子化誤差が問題になってくる。その量子化誤差の影響は、例えば応答速度の改善を行う必要の無いときにも強調信号を与えてしまい、静止画においても高速応答駆動を行ってしまうという問題を引き起こす。即ち、高速応答駆動の処理は変化した画像に対して“より明るく”または“より暗く”なる様に表示信号を強調する信号処理であるから、静止画に対して高速応答駆動を行った場合には、常に“より明るく”または“より暗く”なる様な信号処理が行われることとなる。これは、表示画像の階調レベル(表示画像の明るさ)が変化してしまう、という画質劣化を発生させる。このような画質劣化は、非線形量子化を行う際に正しく量子化を行わなかったか、または非線形量子化する際のビット数が不足していることに起因している。

【0035】図9図示の非線形量子化では6ビットの表示データの0~8までが4ビット非線形量子化データの0に量子化され、6ビット表示データの9~16までが4ビット非線形量子化データの1に量子化される。つまり、図9図示の非線形量子化テーブルの例では、ある量子化の閾値以上で、且つ次の量子化の閾値未満の6ビットデータは、その下位の量子化閾値に丸められるとしてよい。また、到達レベルは、開始レベルとは逆の関係になり、ある量子化の閾値以上で、且つ次の量子化の閾値未満の6ビットデータは、その上位の量子化閾値に丸められるとしてよい。

【0036】例えば、4ビットに非線形量子化された表示データが4の場合は、本来の6ビット表示データは34以上40以下のいずれかのレベルであるが、開始レベル(1フィールド前の表示信号)としては34として扱われる。また、到達レベルが40の場合には35以上41以下として到達レベル41の強調量が適用される。従って、開始レベル(1フィールド前の表示信号)が40で到達レベル(現在の表示信号)が40だとすると、図9図示の強調量データテーブルでは開始レベルは34として扱われ、到達レベルは41として扱われるため、結果として静止画でも画像の変化「有り」として認識されてしまう場合が発生する。このような場合に、強調量データテーブルのこのような領域、つまり対角線上の配列よりも1つ上の領域に0以外の強調量が存在した場合には、前述の様な静止画の場合の画質劣化が生じてしま

う。

【0037】図9の強調量データテーブルでは、そのようなことは発生しておらず、静止画での画質劣化も発生しないことがわかる。つまり、図5図示の立ち上がり応答特性と図6図示の立ち下がり応答特性で示したように、隣接する階調レベルでの応答速度は1/60秒以下になっており、それらの階調間では高速応答駆動のための強調信号は必要としない。よって、非線形量子化でビット数を削減する場合には、これら近接階調間での強調信号を必要としない領域も表現できるビット数以上に設定する必要がある。

【0038】図10は、前述の手法、つまり開始レベル対高速応答駆動用強調量をより正確に表す手法を用いて、6ビットの表示信号を3ビットに非線形量子化した場合の高速応答駆動用の強調量データテーブルを示す。

【0039】図10図示の例では、上記のように強調量データテーブルの強調量配列の対角線上の配列の1つ上の要素に0以外の強調データを持っているため、静止画での画質が劣化してしまう。そのような場合、静止画の画質を劣化させているのが、強調量データテーブルの強調量配列の対角線上の配列の1つ上の要素であるから、その要素を0にすればよい。

【0040】図11は静止画用の補正を施した3ビットの非線形量子化に対応した高速応答駆動用強調量データテーブルを示す。図11図示の強調量データテーブルを用いることにより、静止画での画質劣化を防止することができる。但し、図11のようにして作成した強調量データテーブルは本来行うべき強調部分を0としているため、図9図示の様な強調量データテーブルを用いた場合に比べて、若干の高速応答駆動特性に不足があるが、1フィールド遅延回路の回路規模を大きく削減したい場合には有効な方法である。

【0041】以上のような高速応答駆動のための非線形量子化による表示信号のビット数の削減により、フィールド遅延のためのメモリーの削減量は、表示信号のビット数1ビット当たり約0.9メガ・ビットのメモリー削減となり、その分の実装面積の小型化と消費電力の低減が可能となる。

【0042】通常、このようなビットの削減操作は、あらかじめROMに(Read Only Memory)記憶しておき、そのROMへ入力信号を入力してビットの削減操作を行う。つまり、図1図示のビット数削減回路12はROMにより実現されるのが一般的である。この時のROMの容量を算出してみると、ビット削減が無い場合、

ビット削減ROM容量 = 出力ビット数 × 入力階調数 × R  
GB =  $6 \times 64 \times 3 = 1152$  [ビット]

であるが、このROMも出力ビット数を1ビット削減することにより、192ビットの削減が可能となる。

【0043】更に、図1図示の時間軸フィルター回路1

6もROMにより実現されるのが一般的である。このROMの容量を算出してみると、ビット削減が無い場合、フィルターROM容量

$$= \text{出力ビット数} \times \text{RGB} \times 2^6$$

$$= 6 \times 3 \times 2^{16} = 73728 \text{ [ビット]}$$

となり、約74kビットのROMが必要であるが、このROMも表示信号(遅延信号)のビット数を1ビット削減することにより、ROM容量の1/2が削減可能となる。

【0044】また、信号線駆動用ICの液晶γ補正や液晶パネルの電圧-透過率特性などにより削減可能なビット数が変わってくるが、その場合も同様に、液晶に印加する電圧が大きい階調の時には任意のある階調にまとめて少ないビット数で表現し、液晶に印加する電圧が小さい階調の時には本来の階調数またはまとめる階調幅を小さくしたビット数で表現して階調を削減することにより、フレームメモリーのビット数の削減が可能である。

【0045】更に、本発明は時間軸方向の信号処理を行うための表示信号の保持または遅延させる手段のメモリー容量を削減するものであり、使用する液晶パネルの材料や、種類、駆動方法で制限されるものでない。

【0046】図12は図1図示の液晶表示装置を応用した一例である、アクティブブスマトリックス型の液晶表示装置の要部の構成を示し、ここで、図1図示の構成に従って入力画像信号の処理機構が形成される。

【0047】液晶表示部、即ち液晶パネル32には信号線33i(「i」は正の整数)及びゲート線35iの交点に対応するように、複数の画素Piがマトリックス状に配列される(図12では便宜上1画素のみを示す)。液晶表示部32はカラー表示用に構成され、色フィルタにより各画素が赤(R)、緑(G)及び青(B)を表示する画素として形成され、2次元的に配列(例えば、横ストライプ配列)される。

【0048】各画素にはスイッチ素子SWiであるTFT(Thin Film Transistor)が配設され、TFTのソース/ドレインに各画素の画素電極PEiと信号線33iとが接続され、TFTのゲートにゲート線35iが接続される。液晶表示部32の周辺において信号線33iは信号線ドライバ34に接続され、ゲート線35iはゲート線ドライバ36に接続される。信号線ドライバ34及びゲート線ドライバ36は信号処理回路38に接続され、ここから所定の信号を供給される。信号処理回路38は、図1図示の回路12~18を内蔵し、従って、信号線ドライバ34は図1図示の極性反転回路18から信号を供給される。

【0049】

【発明の効果】本発明においては、時間軸方向の信号処理を行うための保持/遅延手段へ入力する表示信号の階調数を、表示部に表示する階調数よりも少ない階調数とする削減手段を具備する。これにより、保持/遅延手段

11

が必要とするメモリー容量を削減して実装面積を減少させ、装置の大型化や消費電力の増大を抑制し、更に、装置の高価格化を抑えた表示装置を実現することが可能となる。

【0050】また、削減手段は、表示パネルの電圧-透過率特性や信号線駆動用IC信号出力特性を考慮し、所定の法則に基づいて、メモリー容量を削減する。これにより、ダイナミックレンジを狭めたり階調表示の直線性を低下させることなく、高品質な画像を表示可能な表示装置を実現することが可能となる。

## 【図面の簡単な説明】

【図1】本発明の実施の形態に係る液晶表示装置を示すブロック図。

【図2】図1図示の液晶表示装置で高速応答駆動処理を行う場合の信号波形を、従来の信号波形と比較して示す図。

【図3】ノーマリホワイトモードの一般的な液晶パネルの印加電圧対透過率特性(V-T特性)を示す図。

## 【図4】一般的な階調入力対透過率特性を示す。

【図5】液晶パネルの立ち上がりの応答速度の例を示す図。

【図6】液晶パネルの立ち下がりの応答速度の例を示す図。

10 \* 【図7】図5及び図6図示の例において、最も応答速度が遅くなる到達階調レベルでの高速応答駆動用強調量の代表的な特性を示す図。

【図8】図7図示の開始レベルと強調量との関係に対応する、6ビットデータを4ビットにビット削減するための非線形量子化テーブルを示す図。

【図9】1フィールド遅延回路の表示データが4ビットの場合の高速応答駆動用の表示信号強調量のテーブルを示す図。

【図10】開始レベル対高速応答駆動用強調量をより正確に表す手法を用いて、6ビットの表示信号を3ビットに非線形量子化した場合の高速応答駆動用の強調量データテーブルを示す図。

【図11】静止画用の補正を施した3ビットの非線形量子化に対応した高速応答駆動用強調量データテーブルを示す図。

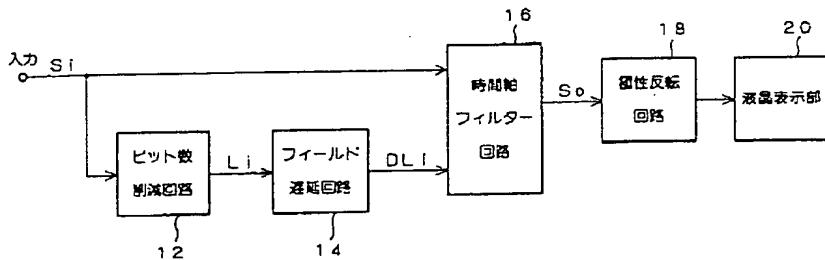
【図12】図1図示の液晶表示装置を応用した、アクティブラマトリックス型の液晶表示装置の要部の構成を示す図。

## 【符号の説明】

12 … ビット数削減回路、14 … フィールド遅延回路、  
16 … 時間軸フィルター回路、18 … 極性反転回路、20 … 液晶表示部。

\* 20

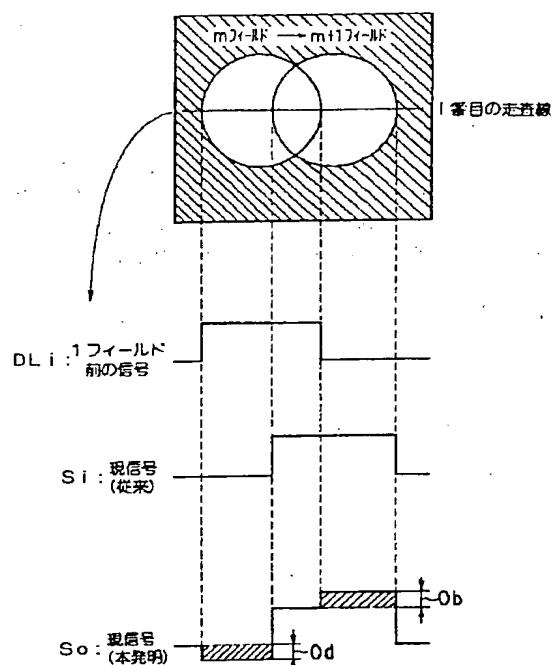
【図1】



【図10】

階 数 レ ベ ル	到達レベル							
	0	30	40	48	53	57	60	63
0	0	6	7	14	10	6	3	0
30	0	0	1	8	9	6	2	0
40	0	-1	0	4	5	5	3	0
48	0	-7	-4	0	3	5	2	0
53	0	-9	-7	-3	0	2	2	0
57	0	-13	-11	-8	-4	0	2	0
60	0	-14	-17	-14	-10	-4	0	0
63	0	-24	-35	-35	-32	-28	-21	0

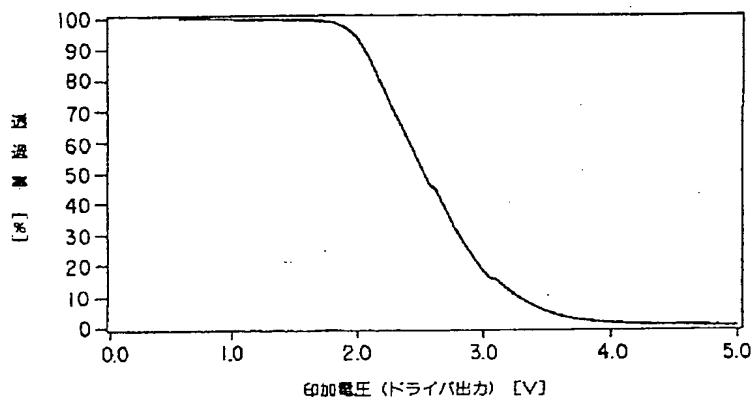
【図2】



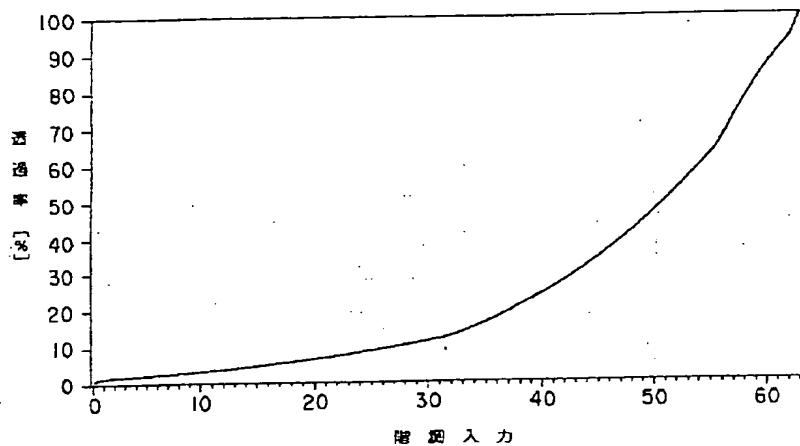
【図8】

6ビット 入力データ	4ビット 量子化	6ビット 入力データ	4ビット 量子化
0	0	34	4
1	0	35	4
2	0	36	4
3	0	37	4
4	0	38	4
5	0	39	4
6	0	40	4
7	0	41	5
8	0	42	6
9	1	43	5
10	1	44	5
11	1	45	6
12	1	46	6
13	1	47	7
14	1	48	7
15	1	49	8
16	1	50	8
17	2	51	9
18	2	52	9
19	2	53	10
20	2	54	10
21	2	55	11
22	2	56	11
23	2	57	12
24	2	58	12
25	3	59	13
26	3	60	13
27	3	61	14
28	3	62	14
29	3	63	15
30	3		
31	3		
32	3		
33	3		

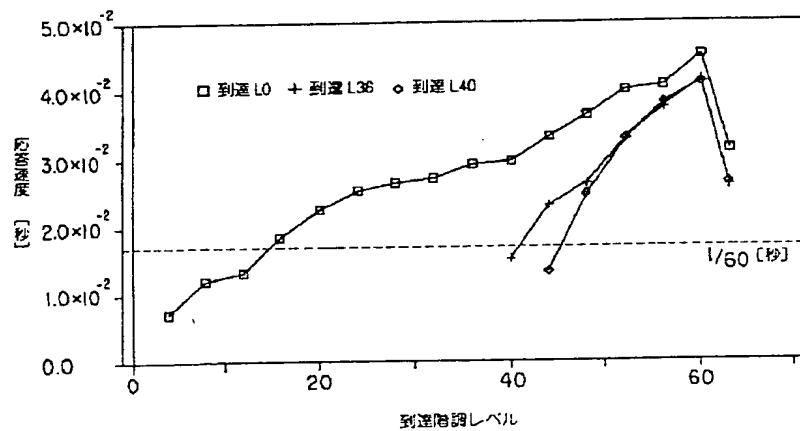
【図3】



【図4】



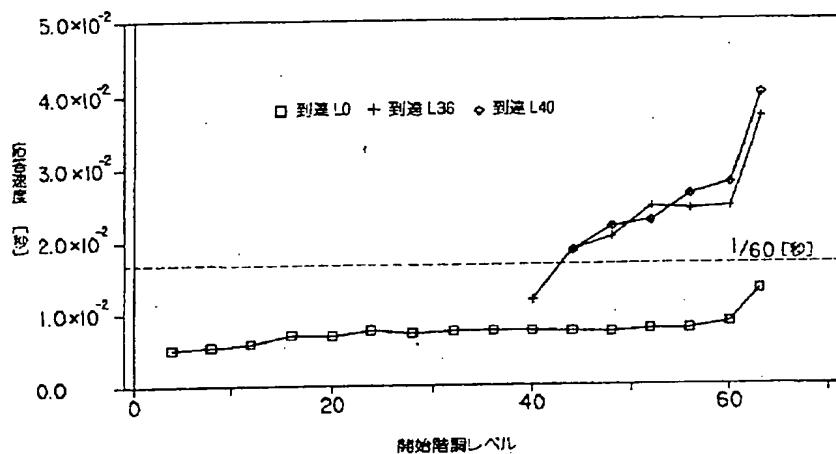
【図5】



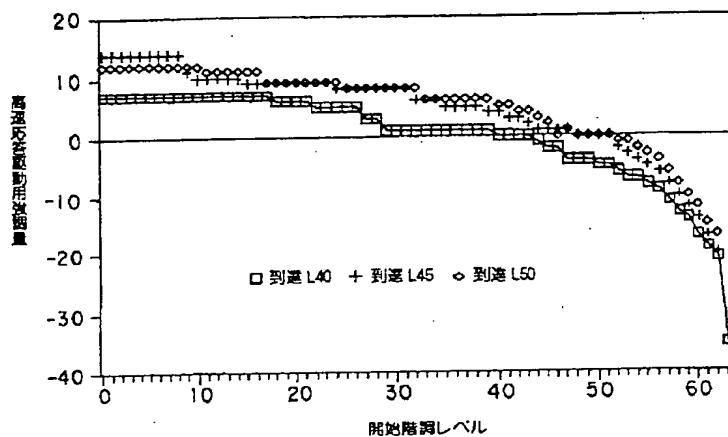
【図9】

到達レベル																	
開始レベル	0	9	17	25	34	41	47	49	51	53	55	57	59	61	63		
	0	0	0	0	4	8	6	13	13	12	10	8	8	4	2	0	
0	0	0	0	0	6	8	10	9	12	12	10	8	8	4	2	0	
9	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
17	0	0	0	0	0	4	6	6	8	8	11	8	7	6	4	2	0
25	0	0	0	0	0	0	5	4	7	8	8	8	7	6	4	2	0
34	0	-1	0	0	0	0	0	4	5	8	6	7	7	5	4	2	0
41	0	-1	0	0	0	0	0	0	2	4	5	5	6	5	3	2	0
47	0	-1	0	-2	-3	0	0	0	1	3	4	4	5	3	2	0	
51	0	-1	0	-3	-4	-3	0	0	0	2	3	4	5	3	2	0	
53	0	-2	0	-3	-5	-4	-2	0	0	0	2	3	5	3	2	0	
55	0	-2	0	-5	-6	-6	-3	-2	0	0	0	0	2	3	2	0	
57	0	-2	-3	-8	-10	-10	-9	-8	-7	-6	-4	0	0	0	1	0	
59	0	-2	-4	-10	-12	-14	-12	-11	-11	-8	-8	0	0	0	0	0	
61	0	-2	-7	-12	-16	-18	-17	-16	-16	-14	-12	-10	-7	-2	0	0	
63	0	-8	-17	-24	-29	-35	-34	-34	-36	-34	-32	-31	-29	-23	-19	0	

【図6】



【図7】



【図11】

		到達レベル							
		0	30	40	48	53	57	60	63
開始 階 調 レ ベル	0	0	0	7	14	10	6	3	0
	30	0	0	0	8	8	6	2	0
	40	0	-1	0	0	5	5	3	0
	48	0	-7	-4	0	0	5	2	0
	53	0	-9	-7	-3	0	0	2	0
	57	0	-13	-11	-8	-4	0	0	0
	60	0	-14	-17	-14	-10	-4	0	0
	63	0	-24	-35	-35	-32	-28	-21	0

【図12】

